

#3

Attorney Docket No. 1344.1080

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Yuji TOCHIO

Application No.:

Group Art Unit:

Filed: December 14, 2001

Examiner:

Jc781 U.S. PTO
10/015616
12/17/01

For: DRIVER CIRCUIT AND DRIVING METHOD FOR SEMICONDUCTOR LASER

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No. PCT/JP99/04190

Filed: August 3, 1999

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: December 14, 2001

By:

James D. Halsey, Jr.
Registration No. 22,729

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

日 本 国 特 許 庁

JAPAN PATENT OFFICE



別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 1 9 9 9 年 8 月 3 日
Date of Application:

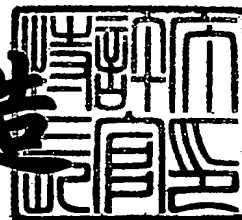
出 願 番 号 P C T / J P 9 9 / 0 4 1 9 0
Application Number:

出 願 人 枡尾 祐治
Applicant (s):

2 0 0 1 年 1 0 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証平 1 3 - 5 0 0 2 7 6

特許協力条約に基づく国際出願願書

原本 (出願用) - 印刷日時 1999年08月03日 (03. 08. 1999) 火曜日 15時08分54秒

199-0199

0	受理官庁記入欄	
0-1	国際出願番号	
0-2	国際出願日	
0-3	(受付印)	
0-4	この特許協力条約に基づく 国際出願願書(様式 - PCT/R0/101)は、 0-4-1 右記によって作成された。	PCT-EASY Version 2.84 (updated 01. 07. 1999)
0-5	申立て 出願人は、この国際出願が特許 協力条約に従って処理されるこ とを請求する。	
0-6	出願人によって指定された 受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記 号	199-0199
I	発明の名称	半導体レーザの駆動回路および駆動方法
II	出願人	出願人である (applicant only)
II-1	この欄に記載した者は	米国を除くすべての指定国 (all designated
II-2	右の指定国についての出願人で ある。	States except US)
II-4ja	名称	富士通株式会社
II-4en	Name	FUJITSU LIMITED
II-5ja	あて名:	211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号
II-5en	Address:	1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP



特許協力条約に基づく国際出願願書


原本（出願用） - 印刷日時 1999年08月03日（03.08.1999）火曜日 15時08分54秒

III-1 III-1-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja III-1-4en III-1-5ja	氏名(姓名) Name (LAST, First) あて名:	栃尾 祐治 TOCHIO, Yuji 211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号 富士通株式会社内
III-1-5en	Address:	c/o FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP
IV-1 IV-1-1ja IV-1-1en IV-1-2ja	代理人又は共通の代表者、 通知のあて名 下記の者は国際機関において右 記のごとく出願人のために行動 する。 氏名(姓名) Name (LAST, First) あて名:	代理人 (agent) 笹島 富二雄 SASAJIMA, Fujio 105-0001 日本国 東京都 港区 虎ノ門1丁目19番5号 虎ノ門1丁目森ビル
IV-1-2en	Address:	Toranomon 1-chome Mori Bldg. 19-5, Toranomon 1-chome Minato-ku, Tokyo 105-0001 Japan
IV-1-3 IV-1-4	電話番号 ファクシミリ番号	03-3508-9577 03-3508-8897
V V-1	国の指定 広域特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE 及びヨーロッパ特許条約と特許協力条約の締約国 である他の国
V-2	国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	JP US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて 、規則4.9(h)の規定に基づき、 特許協力条約のもとで認められ る他の全ての国の指定を行う。 ただし、V-6欄に示した国の指 定を除く。出願人は、これらの 追加される指定が確認を条件と していること、並びに優先日か ら15月が経過する前にその確認 がなされない指定は、この期間 の経過時に、出願人によって取 り下げられたものとみなされる ことを宣言する。	

特許協力条約に基づく国際出願願書

199-0199

原本(出願用) - 印刷日時 1999年08月03日 (03. 08. 1999) 火曜日 15時08分54秒

V-6	指定の確認から除かれる国	なし (NONE)	
VI	優先権主張	なし (NONE)	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	19	-
VIII-3	請求の範囲	3	-
VIII-4	要約	1	1990199.txt
VIII-5	図面	13	-
VIII-7	合計	40	
VIII-8	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-9	別個の記名押印された委任状	✓	-
VIII-10	包括委任状の写し	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当する特許印紙を貼付した書面	-
VIII-17	その他	国際事務局の口座への振込を証明する書面	-
VIII-18	要約書とともに提示する図の番号		
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	笹島 富二雄	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日 (訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

特許協力条約に基づく国際出願願書

原本 (出願用) - 印刷日時 1999年08月03日 (03. 08. 1999) 火曜日 15時08分54秒

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

明 細 書

半導体レーザの駆動回路および駆動方法

技術分野

本発明は、半導体レーザの駆動回路および駆動方法に関し、特に、バースト伝送を行う場合に好適な半導体レーザの駆動回路および駆動方法に関するものである。

背景技術

近年、光ファイバの広帯域性を利用した光通信ネットワークが注目されており、例えばF T T H (Fiber To The Home) のように各家庭に光ファイバを敷設して、C A T VやV O Dなどのマルチメディアサービスを提供する光アクセスネットワークが大いに注目されている。

図1は、光アクセスネットワークを実現する1つとして注目されているA T M - P O N (Passive Optical Network) の構成を示す図である。

図1において、A T M - P O Nは、A T M網に接続する1つの局側装置に対し、複数の加入者側装置#1～#nが光カプラを介して接続される基本構成を有する。このようなA T M - P O Nでは、各加入者側から局側にデータ（上りデータ）を送信する場合にバースト送信技術が要求される。このバースト送信技術として、各加入者側装置の送信部については、従来の幹線系に比べて高い消光比が要求されると共に、「0」レベルの光出力は限りなく無発光が望ましいとされている。

具体的には、例えば図2（A）に示すように、加入者側装置#1～#3からそれぞれ送信され光カプラで合波された後の各光出力D1～D3について、すべての光出力D1～D3における「1」レベルの最小値 L_{1min} （図では光出力D2の「1」レベル）が「0」レベルの最大値 L_{0max} （図では光出力D3の「0」レベル）を上回る必要があり、図2（B）に示すように、「1」レベルの最小値 L_{1min} が「0」レベルの最大値 L_{0max} 以下になってはならない。

加入者側における従来の半導体レーザ（L D）の駆動方式としては、例えば、

図3のLDについての電流－光出力（I－L）特性に示すように、すべての加入者側装置において「0」レベルのLD電流を0mAまたはシステム上許容される微小な電流に設定する方式がある。

また、例えば、特開昭61－80922号公報等に記載された駆動方式においては、図4のI－L特性に示すように、「1」レベルの光出力を発生する直前および直後に、LDにバイアス電流を供給する方式が開示されている。さらに、例えば、本出願人の先願である特開平9－83050号公報等に記載された駆動方式においては、図5に示すように、バーストデータ（例えば、固定長のセル・パケット等）を送信する直前および送信中の期間のみについて、LDにバイアス電流を供給する方式が開示されている。このような駆動方式は、バーストデータの送信期間に応じてバイアス電流を供給し、非送信期間にはバイアス電流の供給を行わない、いわゆるプリバイアス方式を採用したものである。

加えて、例えば、特開昭61－131631号公報に記載された駆動方式においては、バーストデータの送信を開始する際におけるLDの起動時間を短縮させるため、データの非送信期間についても微小な固定バイアス電流をLDに供給して、上記のプリバイアス電流と固定バイアス電流を併用する方式が開示されている。

しかしながら、上述したような公知の駆動方式は次のような問題点がある。

図3に示した駆動方式では、LDの発振遅延時間を考慮すると、伝送速度が高速になった場合に対応できない可能性があり、現状では、100～200Mb/s程度の伝送速度に対応するのが限界である。

また、図4に示した駆動方式においては、伝送速度が高速になるほど、「1」レベルの光出力を発生させる直前および直後に、プリバイアス電流を正確かつ確実に供給することが難しくなる。具体的には、プリバイアス電流のタイミングを決定する回路等の実現が困難であった。

さらに、図5に示した駆動方式については、プリバイアス電流の供給を開始する際の立ち上げ時間が問題になる可能性がある。高速で立ち上げを行わない限りは、図3に示した駆動方式と等価になり、当該駆動方式の効果が十分には得られなくなってしまう。例えば、容量の大きなLDを使用することになると、高速で

の立ち上げは困難であると考えられる。

加えて、プリバイアスと固定バイアスを併用する駆動方式では、バーストデータの送信後において、プリバイアスから固定バイアスに移行する際に要する時間が問題となる虞がある。具体的には、上記公報に記載された内容のように、コンデンサの放電によってバイアスの移行を実現しようとする、伝送速度が高速の場合、バイアスの移行がデータの1ビット内に収束しない可能性が有り得る。また、バーストデータの送信期間および非送信期間を判断するための信号（例えば、バーストデータに付随するイネーブル信号等）が外部から与えられることを必要とするため、各種の通信システムに柔軟に対応することが難しいという欠点もある。

本発明は上記の点に着目してなされたもので、バーストデータを高速かつ確実に送信できる半導体レーザの駆動回路および駆動方法を提供することを目的とする。

発明の開示

このため、本発明の半導体レーザの駆動回路は、バースト的に発生するデータを含んだデータ信号に応じて半導体レーザを駆動する半導体レーザの駆動回路において、少なくともデータの非発出時に、半導体レーザを自然発光領域内の所定領域で駆動させる第1バイアス電流を発生し、該第1バイアス電流を半導体レーザに供給する第1バイアス電流供給手段と、前記データ信号のみを用いて、該データ信号を遅延させたパルス電流制御信号を生成すると共に、該パルス電流制御信号に含まれるバーストデータの立ち上がりよりも所定の時間だけ早く立ち上がる第2バイアス電流制御信号を生成する信号処理手段と、該信号処理手段で生成されたパルス電流制御信号に従ってパルス電流を発生し、該パルス電流を半導体レーザに供給するパルス電流供給手段と、信号処理手段で生成された第2バイアス電流制御信号に従って半導体レーザを自然発光領域内の所定領域で駆動させる第2バイアス電流を発生し、該第2バイアス電流を半導体レーザに供給する第2バイアス電流供給手段と、を備えて構成されるものである。

かかる構成によれば、半導体レーザに対して、少なくともデータの非発出時に

は第1バイアス電流が供給され、また、データの発出直前には第2バイアス電流が供給されて、バーストデータの発出に備えて半導体レーザが自然発光領域で駆動される。そして、第2バイアス電流の供給開始後所定の時間が経過すると、パルス電流が半導体レーザに供給され、データ信号に対応したバースト光信号が半導体レーザから出力されるようになる。これにより、半導体レーザの光出力波形は、バーストデータの先頭波形から、発振遅延等によって波形が劣化することなく確実に立ち上がり、高速なバーストデータの発出を確実に行うことができる。また、データ信号のみに基づいて第1バイアス電流およびパルス電流の供給タイミングが決まり、バーストデータの発出状態を示す信号を外部から与える必要がないため、各種の通信システムに柔軟に対応することができる。

また、上記半導体レーザの駆動回路については、第1バイアス電流供給手段が、温度変動による半導体レーザの特性変化に対応して第1バイアス電流を変化させる温度補償部を含むのが好ましい。具体的には、温度補償部が、温度変動により抵抗値の変化するサーミスタを有するようにしてもよい。

かかる構成によれば、半導体レーザの温度特性に追従して、第1バイアス電流が変化するようにするため、バーストデータの発出をより確実に行うことが可能となる。

さらに、上記半導体レーザの駆動回路は、半導体レーザから出力される光のパワーを検出する光出力検出手段と、該光出力検出手段の検出結果に基づいて、データの非発出時における半導体レーザの光出力パワーが一定レベルとなるように、第1バイアス電流供給手段の動作をフィードバック制御する第1バイアス電流制御手段と、を備えて構成されるようにしてもよい。

かかる構成によれば、データの非発出時において、第1バイアス電流がフィードバック制御され、いわゆるAPC（自動パワー制御）が実行されるようになる。これにより、バーストデータの発出を一層確実に行うことが可能となる。

また、前述した半導体レーザの駆動回路については、第2バイアス電流供給手段が、差動増幅型の回路構成を有するようにしてもよい。

かかる回路構成とすることで、第2バイアス電流の立ち上がりおよび立ち下りに要する時間が短くなるため、より高速のバーストデータ伝送に対応可能とな

る。

さらに、第2バイアス電流供給手段については、温度変動による半導体レーザの特性変化に対応して前記第2バイアス電流を変化させる温度補償部を含むようにするのが好ましい。具体的には、温度補償部が、温度変動により抵抗値の変化するサーミスタを有するようにしてもよい。

かかる構成によれば、半導体レーザの温度特性に追従して、第2バイアス電流が変化するようにするため、バーストデータの発出をより確実に行うことが可能となる。

また、前述した半導体レーザの駆動回路の具体的な構成として、信号処理手段が、パルス電流制御信号に含まれるバーストデータの立ち上がりよりも、所定のビット数あるいは所定のバイト数に相当する時間だけ早く立ち上がる第2バイアス電流制御信号を生成するようにしてもよい。さらに、信号処理手段が、バーストデータ発生期間のうちの少なくとも先頭側の所定期間に亘ってハイレベルを維持した前記第2バイアス電流制御信号を生成するようにしても構わない。加えて、第1バイアス電流供給手段が、第2バイアス電流供給手段と同様の回路構成を有し、信号処理手段で生成された第2バイアス電流制御信号を反転させた信号に従って第2バイアス電流を発生するようにしてもよい。

また、上述した半導体レーザの駆動回路については、第2バイアス電流の立ち上がり時間がバーストデータの1ビット長に相当する時間よりも短いとき、信号処理手段が、データ信号を所定の時間だけ遅延させる遅延部と、該遅延部の出力信号と前記データ信号の論理和を求める論理和演算部と、を備え、遅延部の出力信号をパルス電流制御信号として出力し、論理和演算部の出力信号を第2バイアス電流制御信号として出力するようにしてもよい。

あるいは、第2バイアス電流の立ち上がり時間がバーストデータの1ビット長に相当する時間よりも短く、かつ、第2バイアス電流が前記パルス電流に比べて十分に大きいときには、信号処理手段が、データ信号を所定の時間だけ遅延させる遅延部を備え、該遅延部の出力信号をパルス電流制御信号として出力し、データ信号を第2バイアス電流制御信号として出力するようにしても構わない。

上記のような構成とすることにより、信号処理手段を実現する回路構成の簡略

化を図ることが可能となる。

本発明による半導体レーザの駆動方法は、バースト的に発生するデータを含んだデータ信号に応じて半導体レーザを駆動する半導体レーザの駆動方法において、少なくともデータの非発出時に、半導体レーザを自然発光領域内の所定領域で駆動させる第1バイアス電流を発生し、該第1バイアス電流を半導体レーザに供給する過程と、前記データ信号のみを用いて、該データ信号を遅延させたパルス電流制御信号を生成すると共に、該パルス電流制御信号に含まれるバーストデータの立ち上がりよりも所定の時間だけ早く立ち上がる第2バイアス電流制御信号を生成する過程と、前記パルス電流制御信号に従ってパルス電流を発生し、該パルス電流を半導体レーザに供給する過程と、前記第2バイアス電流制御信号に従って、半導体レーザを自然発光領域内の所定領域で駆動させる第2バイアス電流を発生し、該第2バイアス電流を半導体レーザに供給する過程と、を含んでなる方法である。

図面の簡単な説明

図1は、一般的なATM-PONの構成を示す図である。

図2は、ATM-PONにおける上りデータ送信について説明する図である。

図3は、従来の半導体レーザ駆動方式を説明する原理図である。

図4は、従来の他の半導体レーザ駆動方式を説明する原理図である。

図5は、従来のさらに別の半導体レーザ駆動方式を説明する原理図である。

図6は、第1実施形態に係る半導体レーザ駆動回路の基本構成を示すブロック図である。

図7は、同上第1実施形態における固定バイアス電流供給部およびパルス電流供給部の具体的な回路構成の一例を示す図である。

図8は、同上第1実施形態におけるプリバイアス電流供給部の具体的な回路構成の一例を示す図である。

図9は、同上第1実施形態についてLDに供給される電流と電圧の関係を示した図である。

図10は、同上第1実施形態におけるプリバイアス電流およびパルス電流の供

給動作の一例を説明するタイムチャートである。

図11は、同上第1実施形態におけるバーストデータ処理部の一例を示す機能ブロック図である。

図12は、同上第1実施形態においてLDに供給される、固定バイアス電流、プリバイアス電流およびパルス電流の一例を示した図である。

図13は、第2実施形態で用いる固定バイアス電流供給部の構成を示した回路図である。

図14は、第3実施形態のLD駆動回路の構成を示すブロック図である。

図15は、同上第3実施形態における固定バイアス電流制御部の構成を示すブロック図である。

図16は、第4実施形態で用いるプリバイアス電流供給部の構成を示した回路図である。

図17は、第5実施形態で用いるバーストデータ処理部の構成を示した機能ブロック図である。

図18は、同上第5実施形態におけるバーストデータ処理部の動作を説明するタイムチャートである。

図19は、第6実施形態で用いるバーストデータ処理部の構成を示した図である。

図20は、同上第6実施形態においてLDに供給される、固定バイアス電流、プリバイアス電流およびパルス電流の一例を示した図である。

図21は、同上第6実施形態に関連するバーストデータ処理部の他の構成例を示した図である。

発明を実施するための最良の形態

以下に、本発明による半導体レーザの駆動回路について添付図面に基づいて説明する。

図6は、第1実施形態に係る半導体レーザ駆動回路の基本構成を示すブロック図である。

図6において、本駆動回路は、半導体レーザ（LD）100に固定バイアス電

流 I_{b1} (第1バイアス電流) を与える、第1バイアス電流供給手段としての固定バイアス電流供給部10と、外部からのバーストデータ(データ信号)を基に、第2バイアス電流制御信号に相当するプリバイアス信号 S_b およびパルス電流制御信号に相当するパルス信号 S_p を生成する、信号処理手段としてのバーストデータ処理部20と、パルス信号 S_p に従って生成したパルス電流 I_p をLD100に与えるパルス電流供給手段としてのパルス電流供給部30と、プリバイアス信号 S_b に従って生成したプリバイアス電流 I_{b2} (第2バイアス電流) をLD100に与える、第2バイアス電流供給手段としてのプリバイアス電流供給部40と、から構成される。

図7は、固定バイアス電流供給部10およびパルス電流供給部30の具体的な回路構成の一例を示す図である。なお、図7においては、バイポーラトランジスタを使用する例を示しているが、本発明はこれに限らず、MOSトランジスタ等の公知の能動素子を使用してもよい。このことは、以下に示す他の実施形態においても同様である。

図7において、固定バイアス電流供給部10は、例えば、トランジスタ11および抵抗12~14を有する。トランジスタ11は、コレクタ端子がLD100の一端に接続され、エミッタ端子が抵抗12を介して接地され、ベース端子が抵抗13、14間の共通の接続点に接続されている。なお、LD100の他端には電源電圧 V_+ が印加されている。抵抗13、14は、電源電圧 V_{10} が印加される電源端子と接地端子の間に直列に接続され、互いの接続点における分圧をトランジスタ11のベース端子に与える。

パルス電流供給部30は、例えば、電流スイッチを構成するトランジスタ31、32、該電流スイッチの電流源としてのトランジスタ33および抵抗34~36を有する。トランジスタ31は、コレクタ端子がLD100の一端に接続され、エミッタ端子がトランジスタ32のエミッタ端子およびトランジスタ33のコレクタ端子に接続され、ベース端子にはバーストデータ処理部20から出力されるパルス信号 S_p が印加される。トランジスタ32は、コレクタ端子に電源電圧 V_+ が印加され、ベース端子にはバーストデータ処理部20から出力される反転パルス信号 $\neg S_p$ が印加される。トランジスタ33は、エミッタ端子が抵抗34を

介して接地され、ベース端子が抵抗 35, 36 間の共通の接続点に接続される。抵抗 35, 36 は、所要の電源電圧 V_{30} が印加される電源端子と接地端子の間に直列に接続され、互いの接続点における分圧をトランジスタ 33 のベース端子に与える。

図 8 は、プリバイアス電流供給部 40 の具体的な回路構成の一例を示す図である。

図 8 において、プリバイアス電流供給部 40 は、プリバイアス電流 I_{b2} の立ち上がりおよび立ち下がりを高速にするために、例えば、基本的な回路構成として差動増幅回路を採用するものとし、ここでは、トランジスタ 41 ~ 45、ダイオード 46 および抵抗 47 ~ 56 によって構成される。

具体的には、トランジスタ 41 は、バーストデータ処理部 20 から出力されるプリバイアス信号 S_b がベース端子に入力され、コレクタ端子には電源電圧 V_+ が印加され、エミッタ端子がダイオード 46 および抵抗 47 を介して接地されている。トランジスタ 42 は、ベース端子が抵抗 48, 49 間の共通の接続点に接続され、エミッタ端子には電源電圧 V_+ が抵抗 50 を介して印加される。抵抗 48, 49 は、電源電圧 V_+ が印加される電源端子と接地端子の間に直列に接続されており、互いの接続点における分圧をトランジスタ 42 のベース端子に与える。トランジスタ 43 は、ベース端子がダイオード 46 および抵抗 47 の間の共通の接続点に接続され、エミッタ端子がトランジスタ 42 のコレクタ端子およびトランジスタ 44 のエミッタ端子に接続され、コレクタ端子が抵抗 51 を介して接地されている。トランジスタ 44 は、ベース端子が抵抗 53, 54 間の共通の接続点に接続され、コレクタ端子が抵抗 52 を介して接地されている。抵抗 53, 54 は、電源電圧 V_+ が印加される電源端子と接地端子の間に直列に接続されており、互いの接続点における分圧をトランジスタ 44 のベース端子に与える。トランジスタ 45 は、ベース端子が抵抗 55 を介してトランジスタ 44 のコレクタ端子に接続され、コレクタ端子が LD100 の一端に接続され、エミッタ端子が抵抗 56 を介して接地されている。

ここで、上記のような構成の LD 駆動回路の動作について説明する。

まず、LD 駆動回路が起動されると、固定バイアス電流供給部 10 が作動して、

固定バイアス電流 I_{b1} が LD100 に供給される。この固定バイアス電流 I_{b1} は、光出力の非発出時において、システム上で許容されるバイアス電流を LD100 に予め供給しておくものであるため、LD100 の自然発光領域内で限りなく 0 に近い電流値（例えば、数 $10\ \mu\text{A}$ ～ $100\ \mu\text{A}$ 程度）に設定する必要がある。なお、図 9 に示すように、電流値 I_{b1} が微小であっても LD100 に与えられる電圧として考えると、比較的大きな値の電圧 V_{b1} が LD100 に印加されていることに注意を要する。

そして、外部から LD 駆動回路にバーストデータが入力されると、該バーストデータに基づいて、LD100 に対するプリバイアス電流 I_{b2} およびパルス電流 I_p の供給が行われる。ここでは、プリバイアス電流 I_{b2} およびパルス電流 I_p の供給動作の一例を、図 10 のタイムチャートを用いて具体的に説明する。

LD 駆動回路には、図 10 (A) に示すような固定長のセル信号を含んだバーストデータが外部よりバーストデータ処理部 20 に入力される。このバーストデータは、例えば、上述の図 1 に示したような ATM-PON において各加入者側装置の送信部に本 LD 駆動回路が適用される場合、PON 上への上りデータの送信を許可する信号が局側装置から加入者側装置に送られることに応じて、該当する加入者側装置のバーストデータが許可された期間（例えば、1 セル長を単位とする）に立ち上がる。バーストデータの入力を受けたバーストデータ処理部 20 では、該バーストデータに基づいてプリバイアス信号 S_b およびパルス信号 S_p が生成される。

図 11 は、バーストデータ処理部 20 の具体的な動作の一例を説明するための機能ブロック図である。

図 11 に示すように、バーストデータ処理部 20 では、入力されたバーストデータが、遅延回路 21、立ち上がり検出回路 22 および 0 連続検出回路 23 にそれぞれ送られる。遅延回路 21 では、バーストデータが 2 セル長 + プリバイアスビット分に相当する時間だけ遅延（シフト）され、図 10 (B) に示すようなパルス信号 S_p が出力される。上記のプリバイアスビットは、パルス信号 S_p の立ち上がりに対してプリバイアス信号 S_b をどれだけ早く立ち上げるかを規定し、LD100 の動作特性等に応じて予め設定される値である。

また、立ち上がり検出回路 22 では、入力されるバーストデータの立ち上がり（「0」レベルから「1」レベルへの変化）が検出され、図 10（C）に示すような短パルスが出力される。なお、立ち上がり検出回路 22 は、バーストデータの立ち上がりを一旦検出すると、後述する 0 連続検出回路 23 で 0 連続が検出されるまでの間、立ち上がり検出結果をマスク処理するものとする。これにより、「1」「0」レベルが連続して変化するバーストデータの最初の立ち上がりのみが検出されるようになる。

そして、立ち上がり検出回路 22 の出力信号は、遅延回路 24 に送られ、2 セル長分に相当する時間だけ遅延されて、図 10（D）に示すような信号が遅延回路 24 から出力される。さらに、この遅延回路 24 の出力信号がラッチ回路 26 のセット入力端子 S に送られて、ラッチ回路 26 の出力がローレベルからハイレベルに変化し、図 10（G）に示すようなプリバイアス信号 S_b として出力される。

また、0 連続検出回路 23 では、入力されるバーストデータの連続する「0」レベルの計数がカウンタ等を用いて行われ、例えば 1 セル長に相当する数の 0 連続が検出されると、図 10（E）に示すような短パルスが出力される。そして、0 連続検出回路 23 の出力信号は、遅延回路 25 に送られ、1 セル長 + プリバイアスビット分に相当する時間だけ遅延されて、図 10（F）に示すような信号が遅延回路 25 から出力される。さらに、この遅延回路 25 の出力信号がラッチ回路 26 のリセット入力端子 R に送られて、ラッチ回路 26 の出力、すなわち図 10（G）のプリバイアス信号 S_b がハイレベルからローレベルにリセットされる。

上記のような一連の処理動作が繰り返されることで、バーストデータに対して、2 セル長 + プリバイアスビット分だけ遅延したパルス信号 S_p と、2 セル長分だけ遅延したプリバイアス信号 S_b とが自動的に生成されるようになる。

そして、バーストデータ処理部 20 で生成されたプリバイアス信号 S_b は、プリバイアス電流供給回路 40 に送られ、プリバイアス信号 S_b がハイレベルとなっている間、所要の値のプリバイアス電流 I_{b2} が LD 100 に供給される。このプリバイアス電流 I_{b2} は、バーストデータの送信直前および送信中において、システム上で許容されるバイアス電流を LD 100 に予め供給しておくものであ

って、その電流値は、固定バイアス電流 I_{b1} を加えた時の値 I_b ($= I_{b1} + I_{b2}$) が、LD100のしきい値電流 I_{th} よりも小さくなる、すなわち、自然発光領域内となるように設定される (図9参照)。固定バイアス電流 I_{b1} およびプリバイアス電流 I_{b2} の具体的な設定値としては、例えば、固定バイアス電流 I_{b1} が上記電流値 I_b に対して $1/10$ 倍程度となるようにするのが好ましい。ただし、本発明はこれに限られるものではない。

また、バーストデータ処理部20で生成されたパルス信号 S_p は、その反転信号 $\neg S_p$ とともにパルス電流供給回路30に送られ、バーストデータに対応したパルス電流 I_p がLD100に供給される。

図12は、LD100に供給される、固定バイアス電流 I_{b1} 、プリバイアス電流 I_{b2} およびパルス電流 I_p の一例を示した図である。

図12に示すように、固定バイアス電流 I_{b1} は、バーストデータが送信されるか否かに関係なく常時LDに供給され、一方、プリバイアス電流 I_{b2} は、バーストデータの立ち上がりよりもプリバイアスビット分だけ早く立ち上がり、バーストデータの終了とともに立ち下がる。このような固定バイアス電流 I_{b1} およびプリバイアス電流 I_{b2} がパルス電流 I_p に重畳され、図12の下段に示すようなバイアス電流がLD100に供給されるようになる。

これにより、バーストデータの非送信時においては、固定バイアス電流 I_{b1} の極微小な電流がLD100に流れているが、この時の光出力は、システム上で許容されるレベル、すなわち、他の加入者側装置から送信される光出力の「0」レベルよりも十分低いレベルとなるので、バースト伝送に影響を及ぼすことはない。

また、プリバイアス電流 I_{b2} をLD100に供給する直前においては、固定バイアス電流 I_{b1} を与えてあるので、プリバイアス電流 I_{b2} の立ち上げ時間を短縮することが可能になる。これはすなわち、プリバイアス電流の供給時間を短縮させることにつながる。加えて、プリバイアス電流 I_{b2} を供給することで、LD100内のキャリア密度がしきい値キャリア密度付近まで達することになるので、バーストデータの送信時において、LD100の光出力波形は、バーストデータの先頭波形から、発振遅延等によって波形が劣化することなく確実に立ち

上がることが可能になる。

このように第1実施形態によれば、バーストデータの送信状態に応じて固定バイアス電流およびプリバイアス電流の供給を適切なタイミングで制御することによって、高速なバーストデータの送信を確実に行うことが可能なLD駆動回路を実現できる。また、本LD駆動回路は、バーストデータを処理してプリバイアス電流の供給タイミングを決めるようにしたことによって、従来のようにバーストデータの送信・非送信を示す信号（イネーブル信号等）をバーストデータとは別に外部から与える必要がなくなるため、各種の通信システムに柔軟に対応することができる。

次に、本発明の第2実施形態について説明する。第2実施形態では、固定バイアス電流 I_{b1} が周囲温度の変動に応じて可変となるようにした場合を考える。

図13は、第2実施形態で用いる固定バイアス電流供給部の構成を示した回路図である。なお、固定バイアス電流供給部以外の他の部分の構成は、第1実施形態の場合と同様であるため説明を省略する。

図13において、固定バイアス電流供給部10'は、第1実施形態の固定バイアス電流供給部10の構成について、例えば、固定の抵抗値を与える抵抗13に代えてサーミスタ13'を設けたものである。上記以外の部分の構成は第1実施形態の場合と同様である。

サーミスタ13'は、周囲の温度に応じてその抵抗値が変化し、抵抗14との接続点における電圧レベルが周囲温度に対応して変化する。ここではサーミスタ13'がLD100の付近に配置されることにより、LD100の温度変化に応じてトランジスタ11のベース端子に印加される電圧が変動して、LD100に供給される固定バイアス電流 I_{b1} が制御される。なお、サーミスタ13'の温度特性はLD100の温度特性に対応するように予め設定されているものとする。

上記のような構成の固定バイアス電流供給部10'を用いることにより、LD100の温度変化による特性変動に追従して、固定バイアス電流 I_{b1} も変化するようになるため、バーストデータの送信をより確実に行うことが可能となる。

次に、本発明の第3実施形態について説明する。第3実施形態では、LD100の出力光をモニタして固定バイアス電流 I_{b1} をフィードバック制御するよう

にした場合を考える。

図14は、第3実施形態のLD駆動回路の構成を示すブロック図である。

図14において、本LD駆動回路は、第1実施形態の構成について、光出力検出手段としてのモニタ用受光部60と、第1バイアス電流制御手段としての固定バイアス電流制御部70とを付加した構成である。

モニタ用受光部60は、LD100から出力される光の一部を受光してモニタ電流を発生し、該モニタ電流を固定バイアス電流制御部70に出力する。このモニタ用受光部60は、バーストデータの非送信時に、固定バイアス電流 I_{b1} の供給によってLD100から発出される微弱な光（自然放出光）に対しても十分な受光感度を持つ受光素子（PD）を備えるものとし、また、受光素子から出力されるモニタ電流が十分なレベルに達していない場合には、モニタ電流を所要のレベルまで増幅する増幅器等を設けるようにしても構わない。

固定バイアス電流制御部70は、例えば図15に示すように、電流／電圧変換器（ I/V ）71、比較器（Comp）72、U/Dカウンタ73およびD/Aコンバータ74を有する。 I/V 変換器71は、モニタ用受光部60から送られてくるモニタ電流を電圧に変換し、該電圧信号を比較器72の一方の入力端子に送る。比較器72の他方の入力端子には、予め設定された参照電圧 V_{ref} が印加されており、比較器72は、 I/V 変換器71の出力電圧と参照電圧 V_{ref} を比較し、電圧レベルの差に応じた信号をU/Dカウンタ73に出力する。U/Dカウンタ73は、外部からのホールド信号に応じて、バーストデータが非発出のときに比較器72からの出力信号をD/Aコンバータ74に伝える。このホールド信号としては、例えば、プリバイアス信号 S_b 等を利用することが可能であり、プリバイアス信号 S_b がローレベルのときに、U/Dカウンタ73が比較器72からの出力信号をD/Aコンバータ74に伝達し、ハイレベルのときには出力信号の伝達を中断する。D/Aコンバータ74は、比較器72からU/Dカウンタ73を介して送られてきたデジタル信号をアナログ信号に変換して、固定バイアス電流供給部10に出力する。

上記のような構成のLD駆動回路では、バーストデータの非送信時において、LD100からの出力光のパワーがモニタ用受光部60によってモニタされ、該

モニタ電流に基づいて非送信時の出力光パワーが予め設定した一定レベルとなるように固定バイアス電流 I_{b1} を制御する信号が固定バイアス電流制御部 70 で生成されて、固定バイアス電流供給部 10 にフィードバックされる。具体的には、固定バイアス電流制御部 70 からの出力信号に従って、例えば、固定バイアス電流供給部 10 の抵抗 13 の一端に印加される電源電圧 V_{10} の値を変化させることなどにより、固定バイアス電流 I_{b1} のフィードバック制御を行う。ただし、固定バイアス電流供給部 10 における固定バイアス電流 I_{b1} の制御方法は上記に限定されるものではない。

このように第 3 実施形態によれば、バーストデータの非送信時について、固定バイアス電流 I_{b1} がフィードバック制御され、いわゆる APC（自動パワー制御）が実行されることによって、バーストデータの送信を一層確実に行うことが可能となる。

なお、上記の第 3 実施形態について、第 2 実施形態の場合と同様に、固定バイアス電流供給部 10 に代えて、サーミスタ 13' を用いた固定バイアス電流供給部 10' を使用することも、もちろん可能である。

次に、本発明の第 4 実施形態について説明する。第 4 実施形態では、プリバイアス電流 I_{b2} が周囲温度の変動に応じて可変となるようにした場合を考える。

図 16 は、第 4 実施形態で用いるプリバイアス電流供給部の構成を示した回路図である。なお、プリバイアス電流供給部以外の他の部分の構成は、第 1～3 実施形態のいずれかに示した場合と同様であるため説明を省略する。

図 16 において、プリバイアス電流供給部 40' は、例えば、第 1 実施形態の固定バイアス電流供給部 10 の構成（図 8 参照）について、固定の抵抗値を与える抵抗 49 に並列の関係でサーミスタ 49' を設けたものである。上記以外の部分の構成は第 1 実施形態の場合と同様である。

サーミスタ 49' は、周囲の温度に応じてその抵抗値が変化し、抵抗 48 との接続点における電圧レベルが周囲温度に対応して変化する。ここではサーミスタ 49' が LD 100 の付近に配置されることにより、LD 100 の温度変化に応じて、プリバイアス電流供給部 40' LD 100 に供給されるプリバイアス電流 I_{b2} が制御される。なお、サーミスタ 49' の温度特性は LD 100 の温度特

性に対応するように予め設定されているものとする。

上記のような構成のプリバイアス電流供給部 40' を用いることにより、LD 100 の温度変化による特性変動に追従して、プリバイアス電流 I_{b2} が変化するようにするため、バーストデータの送信をより確実に行うことが可能となる。

次に、本発明の第 5 実施形態について説明する。

上述した第 1 ～ 4 実施形態では、バーストデータを送信するすべての領域（期間）に亘って、LD 100 にプリバイアス電流 I_{b2} を供給するようにしていた。しかし、プリバイアス電流 I_{b2} がパルス電流 I_p に比べて十分に小さい場合には、一旦バーストデータの送信が始まれば、LD 100 内のキャリア密度を考慮すると、プリバイアス電流 I_{b2} をバーストデータの送信領域すべてに対して与えなくても先頭側の一部の領域に与えれば、バーストデータを高速に送信することができる。第 5 実施形態では、上記のような場合の具体例について説明する。

図 17 は、第 5 実施形態で用いるバーストデータ処理部の構成を示した機能ブロック図である。なお、バーストデータ処理部以外の他の部分の構成は、上述した各実施形態のいずれかの場合と同様であるため説明を省略する。

図 17 において、本実施形態で用いるバーストデータ処理部 20' は、上述の図 1.1 に示したバーストデータ処理部 20 について、遅延回路 21 に代えて遅延回路 21' を用いるとともに、遅延回路 24、25 およびラッチ回路 26 に代えてカウンタ回路 27 を設けた構成である。その他の部分の構成は上述の各実施形態の場合と同様である。

遅延回路 21' は、入力されるバーストデータを、上述したプリバイアスビット分に相当する時間だけ遅延（シフト）させ、パルス信号 S_p としてパルス電流供給部 30 に出力する。カウンタ回路 27 は、立ち上がり検出回路 22 から送られてくる立ち上がり検出信号を受けると、出力レベルがハイレベルに転じると同時にカウンタが起動して、所定の期間（例えば、バーストデータの 1 ～ N ビットに相当する期間など）、ハイレベルの出力を維持する。

上記のようなバーストデータ処理部 20' を用いた LD 駆動回路の動作は、バースデータからパルス信号 S_p およびプリバイアス信号 S_b を生成する過程が異なるだけで、その他の過程については上述した各実施形態の場合と同様である。

ここでは、バーストデータ処理部 20' の動作を図 18 のタイムチャートを用いて詳しく説明する。

図 18 (A) に示すようなバーストデータがバーストデータ処理部 20' に入力されると、該バーストデータが遅延回路 21'、立ち上がり検出回路 22 および 0 連続検出回路 23 にそれぞれ送られる。遅延回路 21' では、バーストデータがプリバイアスビット分だけ遅延され、図 18 (B) に示すようなパルス信号 S_p として出力される。これと同時に、立ち上がり検出回路 22 では、バーストデータの立ち上がりが検出され、図 18 (C) に示すような短パルスが出力される。なお、立ち上がり検出回路 22 は、バーストデータの立ち上がりを一旦検出すると、図 18 (D) に示すように 0 連続検出回路 23 で 0 連続が検出されるまでの間、立ち上がり検出結果をマスク処理するものとする。

そして、立ち上がり検出回路 22 から短パルスが出力されると、カウンタ回路 27 が起動して、バーストデータの先頭側の 1 ~ N ビットに相当する期間に亘ってハイレベルを維持する出力信号が生成され、図 18 (B) に示すようなプリバイアス信号 S_b として出力される。

このように第 5 実施形態によれば、プリバイアス電流 I_{b2} がパルス電流 I_p に比べて十分に小さい場合には、プリバイアス電流 I_{b2} の供給をバーストデータの先頭側 N ビットの範囲だけとしても、バーストデータの送信を確実に行うことが可能である。この場合、バーストデータ (パルス信号 S_p) の遅延量はプリバイアスビット分で十分であり、しかも、プリバイアス電流 I_{b2} を駆動する時間も短くなるため、回路動作の高速化を図ることが可能である。

次に、本発明の第 6 実施形態について説明する。

上述の各実施形態においては、プリバイアス電流 I_{b2} をバーストデータの先頭の数ビット前 (プリバイアスビット分前) から LD100 に供給することを前提としてきた。しかし、光信号の伝送速度が比較的遅く、例えばプリバイアス信号 S_b の立ち上がり時間がバーストデータの 1 ビット長に相当する時間より短い場合は、1 ビット長以下に相当する時間だけ前に、LD100 にプリバイアス電流を供給しても正常なバースト伝送を実現できる。そこで、第 6 実施形態では、上記のような場合の具体例について説明する。

図19は、第6実施形態で用いるバーストデータ処理部の構成を示した機能ブロック図である。なお、バーストデータ処理部以外の他の部分の構成は、上述した各実施形態の場合と同様であるため説明を省略する。

図19において、本実施形態で用いるバーストデータ処理部20''は、遅延回路21''および論理和回路28から構成される。遅延回路21''は、入力されるバーストデータを所定の時間だけ遅延させ、パルス信号 S_p としてパルス電流供給部30および論理和回路28にそれぞれ出力する。この遅延時間は、バーストデータの1ビット長以下に相当する時間に設定される。論理和回路28は、一方の入力端子にバーストデータが入力され、他方の入力端子に遅延回路21''からの信号が入力され、バーストデータおよび遅延されたバーストデータの論理和を演算し、プリバイアス信号 S_b として出力する。

上記のような構成のバーストデータ処理部20''を用いたLD駆動回路では、図20に例示したような、固定バイアス電流 I_{b1} 、プリバイアス電流 I_{b2} およびパルス電流 I_p がLD100に供給される。すなわち、パルス信号 S_p の「1」レベルにそれぞれ対応して、プリバイアス電流 I_{b2} がLD100に供給される。これにより、各ビットの「1」レベルを示す光出力は、LD100の発振遅延による波形劣化を生じることなく立ち上がるようになる。

このように第6実施形態によれば、光信号の伝送速度が比較的遅く、プリバイアス信号 S_b の立ち上がりが急峻な場合には、より簡略な構成のバーストデータ処理部20''を用いても、バーストデータの送信を確実に行うことが可能である。

なお、上記の第6実施形態では、プリバイアス信号 S_b およびパルス信号 S_p （バーストデータ）の各立ち下がり時間を一致させる構成について説明したが、例えば、プリバイアス電流 I_{b2} がパルス電流 I_p に比べて十分に小さいときなどには、上述の第5実施形態の場合と同様に、LD100内のキャリア密度を考慮すると、バーストデータの各「1」レベルのビットの立ち上がり部分の前後について、プリバイアス電流をLD100に供給するようにしても、バーストデータを高速に送信することができる。この場合のバーストデータ処理部の構成例を図21に示しておく。図21のバーストデータ処理部20'''では、遅延回路21''によって遅延されたバーストデータがパルス信号 S_p として出力されるとと

もに、入力されたバーストデータがそのままプリバイアス信号 S_b として出力される。

また、上述した第1～6実施形態では、固定バイアス電流供給部10を設けてLD100に固定バイアス電流 I_{b1} を与える構成を採用している。しかしながら、LD駆動回路を構成するトランジスタ等の特性如何ではリーク電流などによって、固定バイアス電流供給部10を備えていない構成であっても、固定バイアス電流 I_{b1} に相当する電流がLD100に供給されるような場合が想定される。このような場合には、固定バイアス電流供給部10を別途設けるまでもなく、上述の各実施形態の場合と同様の作用効果を得ることが可能である。

さらに、固定バイアス電流供給部およびプリバイアス電流供給部をそれぞれ異なる回路構成としたが、例えば、固定バイアス電流供給部の回路構成として、プリバイアス電流供給部の回路構成を適用することも可能である。この場合、固定バイアス電流供給部に対しては、プリバイアス信号 S_b の反転信号を与えると共に、上述した固定バイアス電流と同じ値の電流が流れるように各回路素子を設定すればよい。

産業上の利用可能性

本発明は、バーストデータの送信を行う光送信装置に適用される半導体レーザの駆動方式として産業上の利用可能性が大であり、特に、送信速度が高速な光通信システムへの適用が有用である。

請 求 の 範 囲

1. バースト的に発生するデータを含んだデータ信号に応じて半導体レーザを駆動する半導体レーザの駆動回路において、

少なくともデータの非発出時に、半導体レーザを自然発光領域内の所定領域で駆動させる第1バイアス電流を発生し、該第1バイアス電流を半導体レーザに供給する第1バイアス電流供給手段と、

前記データ信号のみを用いて、該データ信号を遅延させたパルス電流制御信号を生成すると共に、該パルス電流制御信号に含まれるバーストデータの立ち上がりよりも所定の時間だけ早く立ち上がる第2バイアス電流制御信号を生成する信号処理手段と、

該信号処理手段で生成されたパルス電流制御信号に従ってパルス電流を発生し、該パルス電流を半導体レーザに供給するパルス電流供給手段と、

前記信号処理手段で生成された第2バイアス電流制御信号に従って半導体レーザを自然発光領域内の所定領域で駆動させる第2バイアス電流を発生し、該第2バイアス電流を半導体レーザに供給する第2バイアス電流供給手段と、を備えて構成されたことを特徴とする半導体レーザの駆動回路。

2. 請求項1に記載の半導体レーザの駆動回路であって、

前記第1バイアス電流供給手段が、温度変動による半導体レーザの特性変化に対応して前記第1バイアス電流を変化させる温度補償部を含むことを特徴とする半導体レーザの駆動回路。

3. 請求項2に記載の半導体レーザの駆動回路であって、

前記温度補償部が、温度変動により抵抗値の変化するサーミスタを有することを特徴とする半導体レーザの駆動回路。

4. 請求項1に記載の半導体レーザの駆動回路であって、

半導体レーザから出力される光のパワーを検出する光出力検出手段と、

該光出力検出手段の検出結果に基づいて、データの非発出時における半導体レーザの光出力パワーが一定レベルとなるように、前記第1バイアス電流供給手段の動作をフィードバック制御する第1バイアス電流制御手段と、を備えて構成さ

れたことを特徴とする半導体レーザの駆動回路。

5. 請求項1に記載の半導体レーザの駆動回路であって、

前記第2バイアス電流供給手段が、差動増幅型の回路構成を有することを特徴とする半導体レーザの駆動回路。

6. 請求項1に記載の半導体レーザの駆動回路であって、

前記第2バイアス電流供給手段が、温度変動による半導体レーザの特性変化に対応して前記第2バイアス電流を変化させる温度補償部を含むことを特徴とする半導体レーザの駆動回路。

7. 請求項6に記載の半導体レーザの駆動回路であって、

前記温度補償部が、温度変動により抵抗値の変化するサーミスタを有することを特徴とする半導体レーザの駆動回路。

8. 請求項1に記載の半導体レーザの駆動回路であって、

前記信号処理手段は、前記パルス電流制御信号に含まれるバーストデータの立ち上がりよりも、所定のビット数あるいは所定のバイト数に相当する時間だけ早く立ち上がる前記第2バイアス電流制御信号を生成することを特徴とする半導体レーザの駆動回路。

9. 請求項8に記載の半導体レーザの駆動回路であって、

前記信号処理手段は、バーストデータ発生期間のうちの少なくとも先頭側の所定期間に亘ってハイレベルを維持した前記第2バイアス電流制御信号を生成することを特徴とする半導体レーザの駆動回路。

10. 請求項1に記載の半導体レーザの駆動回路であって、

前記第1バイアス電流供給手段が、前記第2バイアス電流供給手段と同様の回路構成を有し、前記信号処理手段で生成された第2バイアス電流制御信号を反転させた信号に従って前記第2バイアス電流を発生することを特徴とする半導体レーザの駆動回路。

11. 請求項1に記載の半導体レーザの駆動回路であって、

前記第2バイアス電流の立ち上がり時間がバーストデータの1ビット長に相当する時間よりも短いとき、

前記信号処理手段が、前記データ信号を所定の時間だけ遅延させる遅延部と、

該遅延部の出力信号と前記データ信号の論理和を求める論理和演算部と、を備え、前記遅延部の出力信号をパルス電流制御信号として出力し、前記論理和演算部の出力信号を第2バイアス電流制御信号として出力することを特徴とする半導体レーザの駆動回路。

12. 請求項1に記載の半導体レーザの駆動回路であって、

前記第2バイアス電流の立ち上がり時間がバーストデータの1ビット長に相当する時間よりも短く、かつ、前記第2バイアス電流が前記パルス電流に比べて十分に大きいとき、

前記信号処理手段が、前記データ信号を所定の時間だけ遅延させる遅延部を備え、該遅延部の出力信号をパルス電流制御信号として出力し、前記データ信号を第2バイアス電流制御信号として出力することを特徴とする半導体レーザの駆動回路。

13. バースト的に発生するデータを含んだデータ信号に応じて半導体レーザを駆動する半導体レーザの駆動方法において、

少なくともデータの非発出時に、半導体レーザを自然発光領域内の所定領域で駆動させる第1バイアス電流を発生し、該第1バイアス電流を半導体レーザに供給する過程と、

前記データ信号のみを用いて、該データ信号を遅延させたパルス電流制御信号を生成すると共に、該パルス電流制御信号に含まれるバーストデータの立ち上がりよりも所定の時間だけ早く立ち上がる第2バイアス電流制御信号を生成する過程と、

前記パルス電流制御信号に従ってパルス電流を発生し、該パルス電流を半導体レーザに供給する過程と、

前記第2バイアス電流制御信号に従って、半導体レーザを自然発光領域内の所定領域で駆動させる第2バイアス電流を発生し、該第2バイアス電流を半導体レーザに供給する過程と、

を含んでなることを特徴とする半導体レーザの駆動方法。

要 約 書

本発明による半導体レーザの駆動回路は、少なくともデータの非発出時において第1バイアス電流をLDに供給する第1バイアス電流供給手段と、バーストデータ信号を遅延させたパルス電流制御信号を生成すると共に、該パルス電流制御信号に含まれるバーストデータの立ち上がりよりも所定の時間だけ早く立ち上がる第2バイアス電流制御信号を生成する信号処理手段と、パルス電流制御信号に従って生成したパルス電流をLDに供給するパルス電流供給手段と、第2バイアス電流制御信号に従って生成した第2バイアス電流をLDに供給する第2バイアス電流供給手段と、を備えて構成される。

図 1

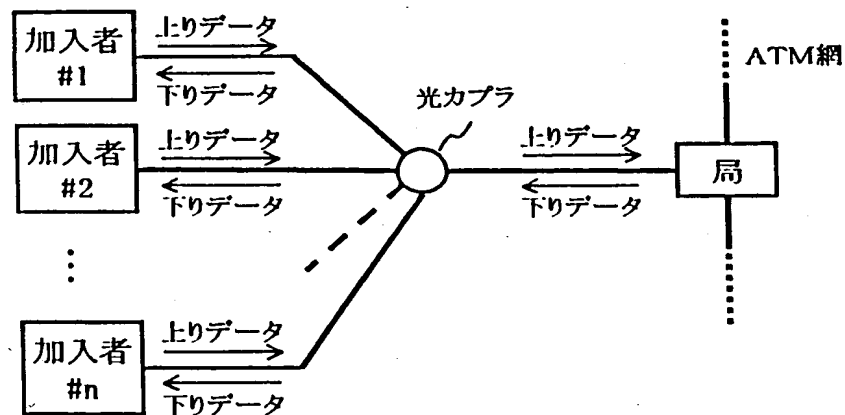
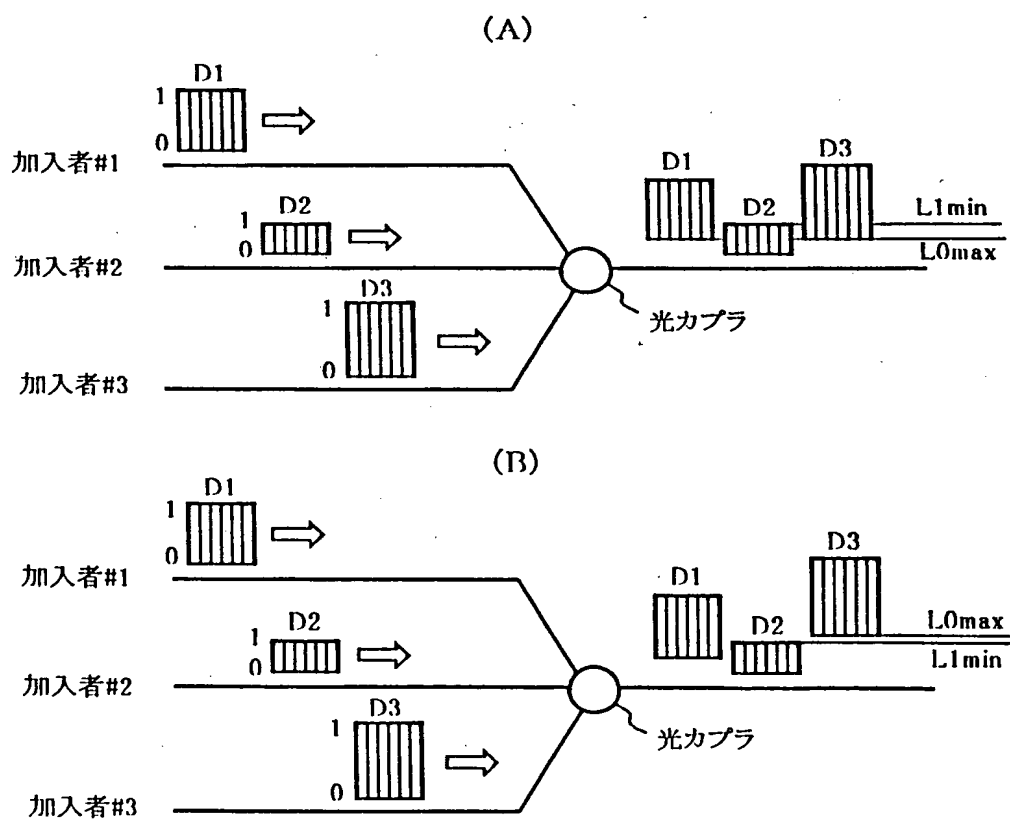


図 2



2 / 1-3

図 3

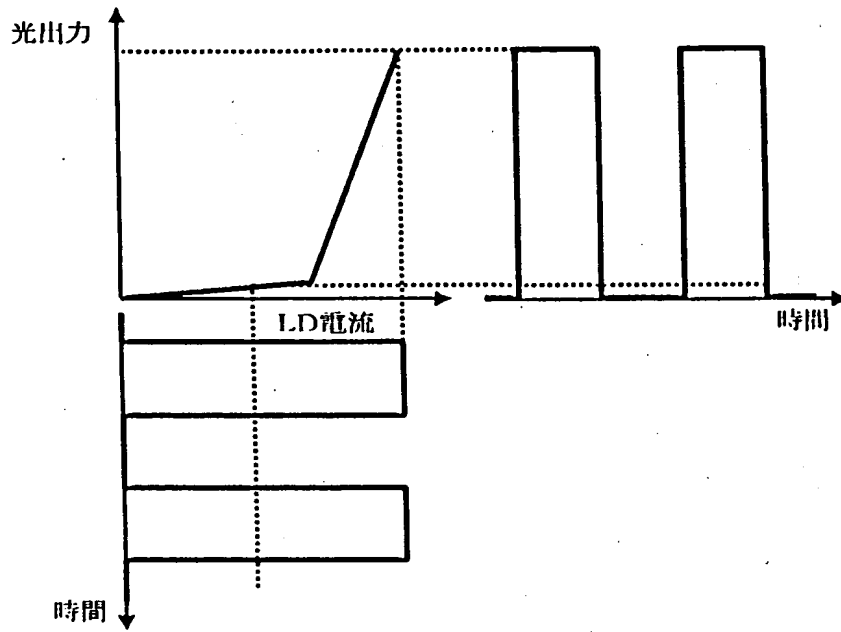


図 4

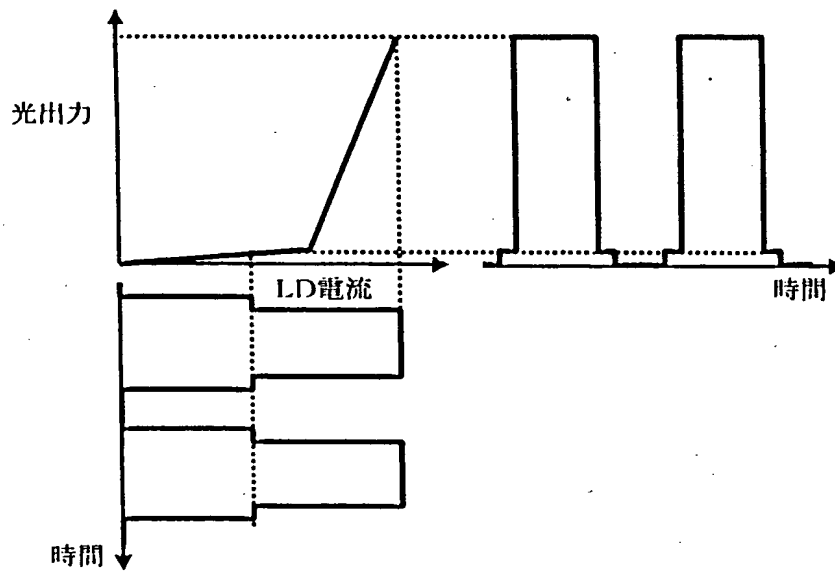
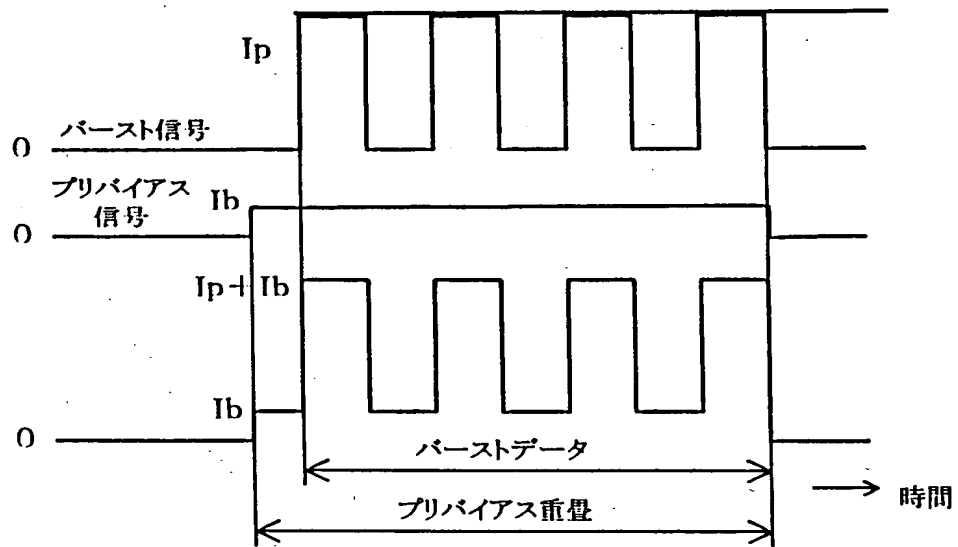


図 5



4 / 1 3
図 6

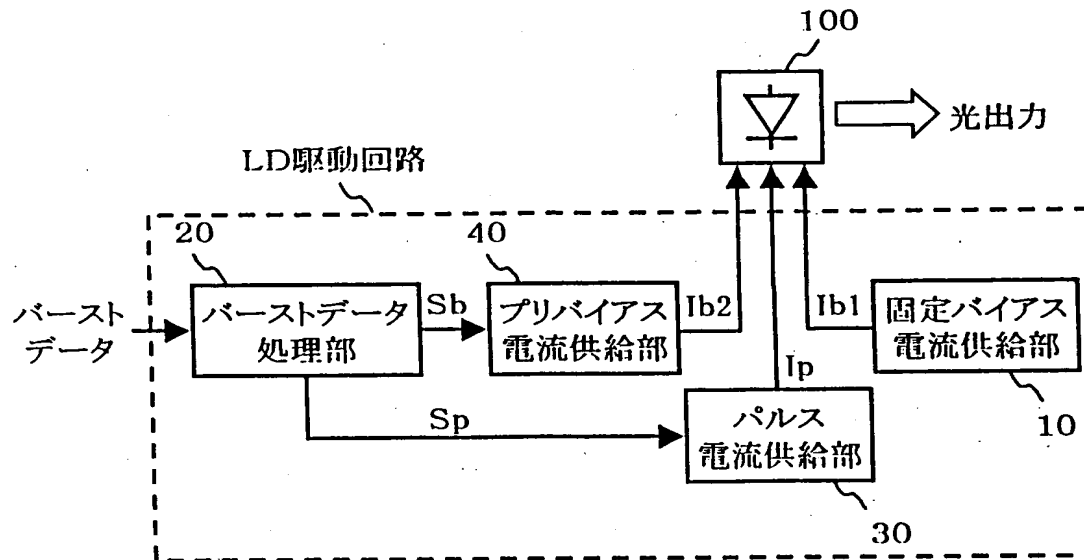
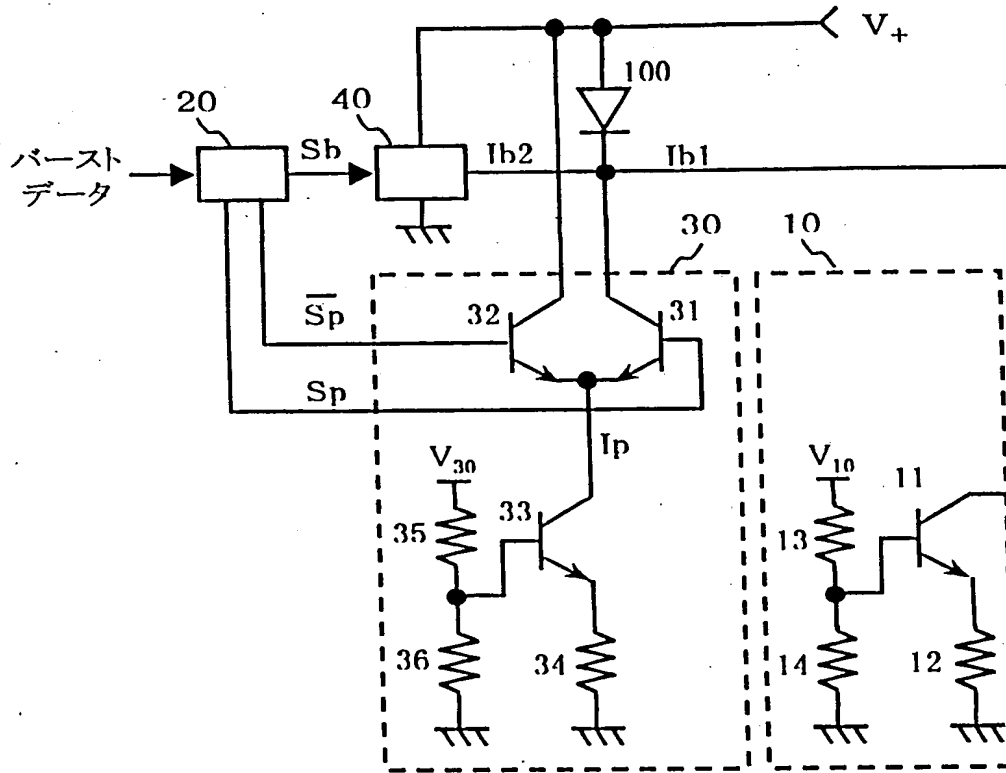


図 7



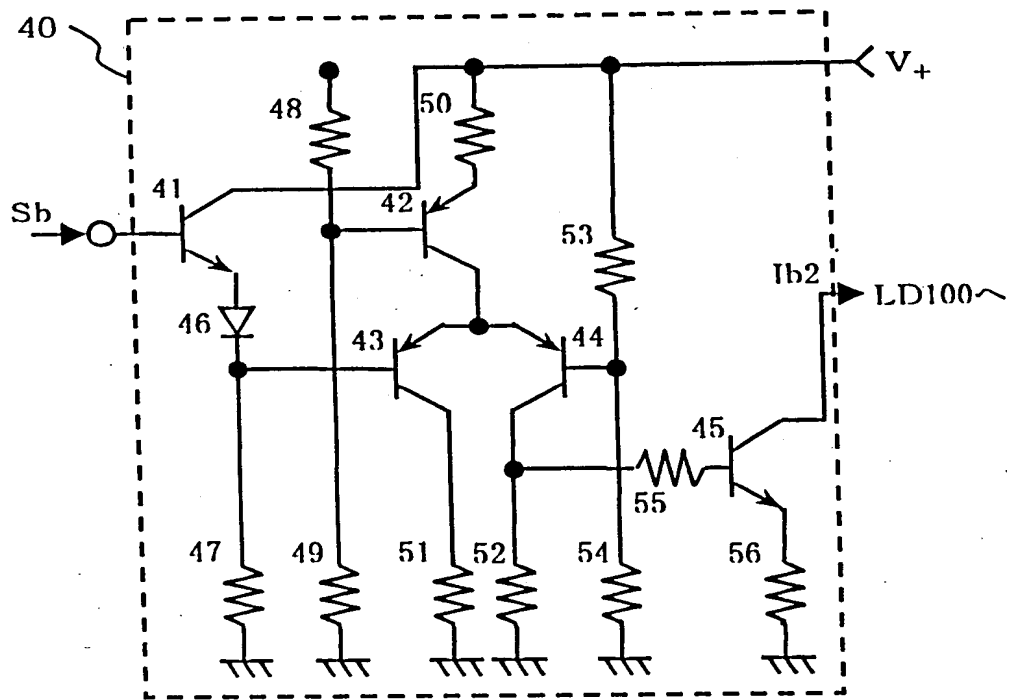


図 9

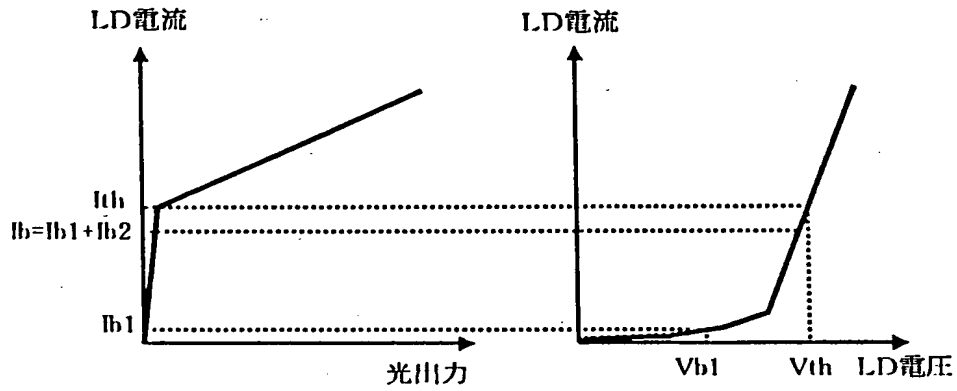
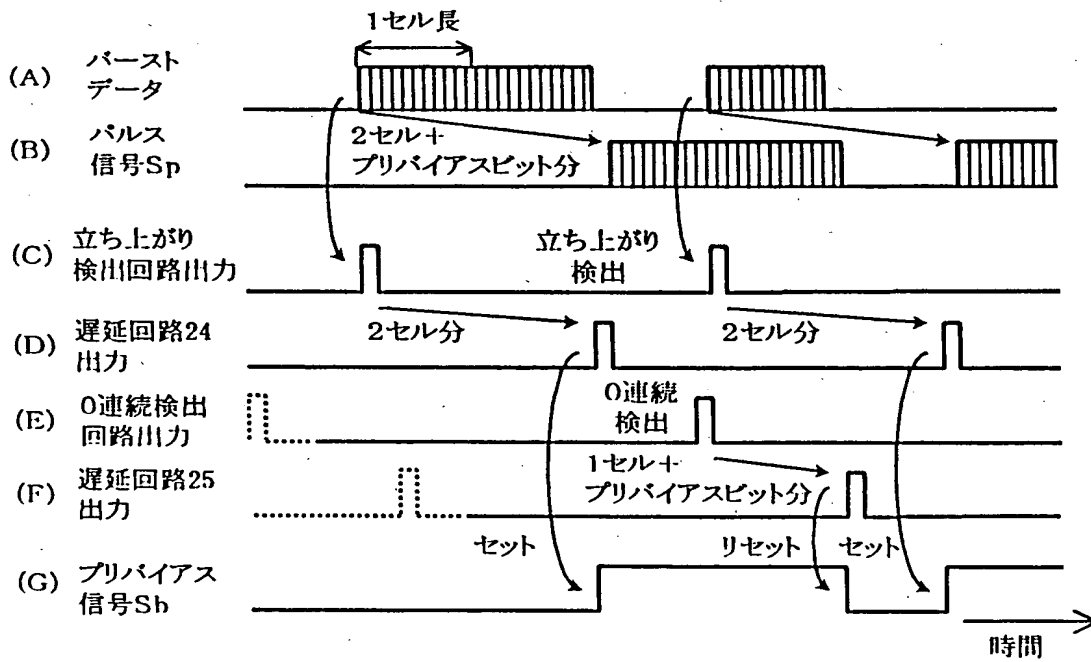


図 10



8 / 13
図 1 1

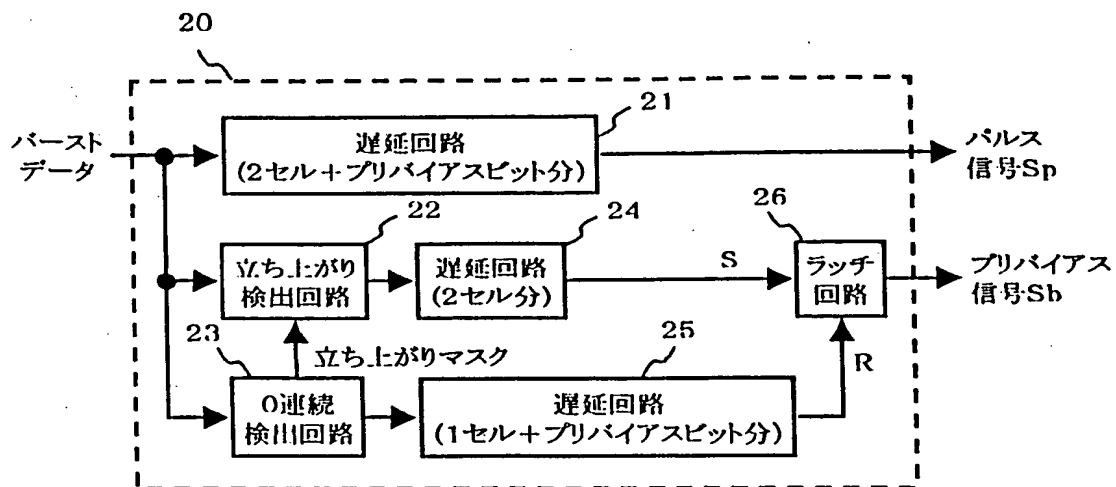


図 1 2

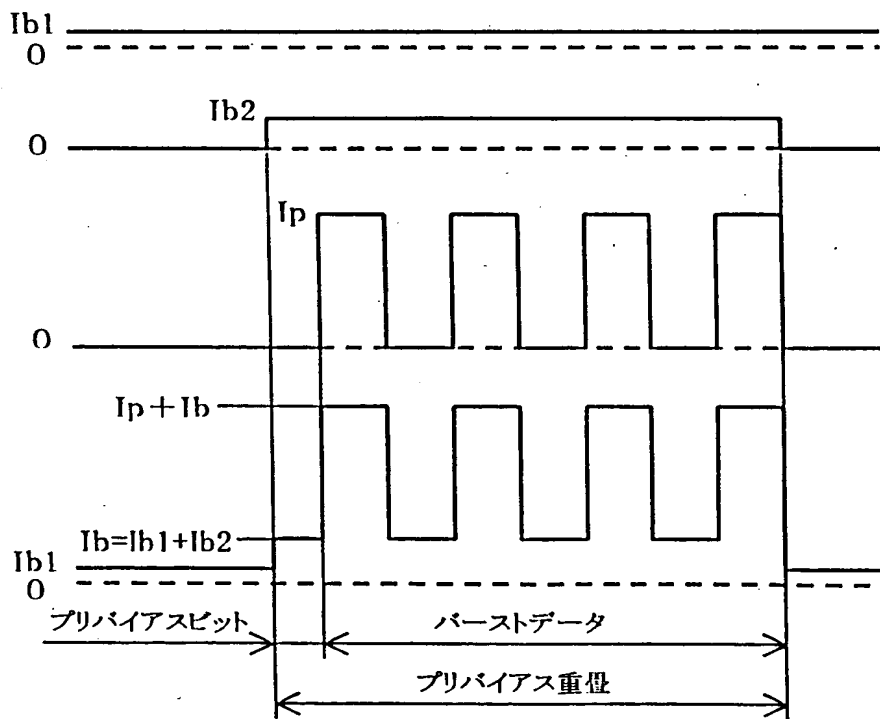


図 1 3

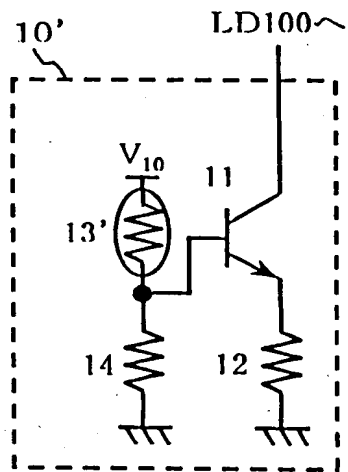


図 1 4

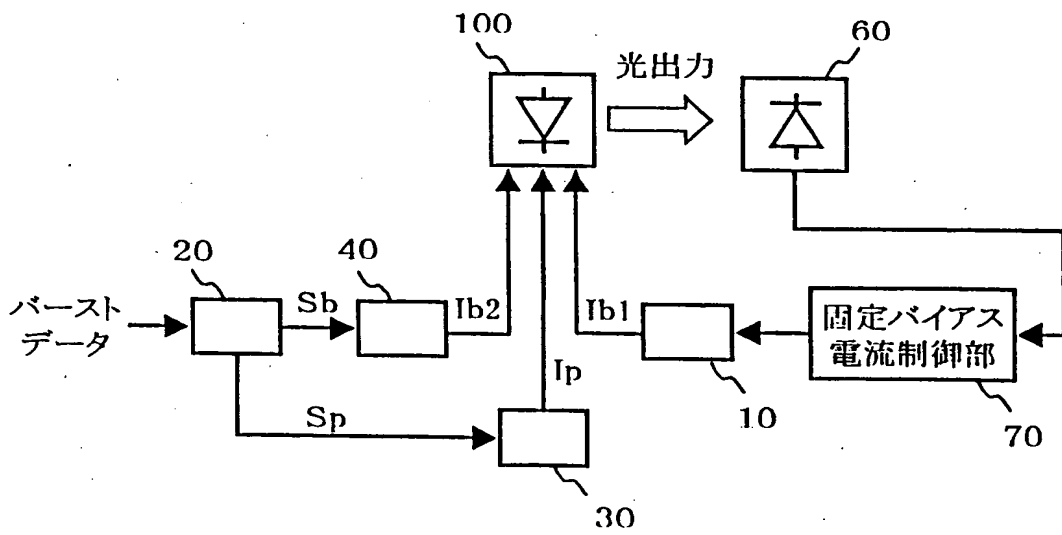


図 15

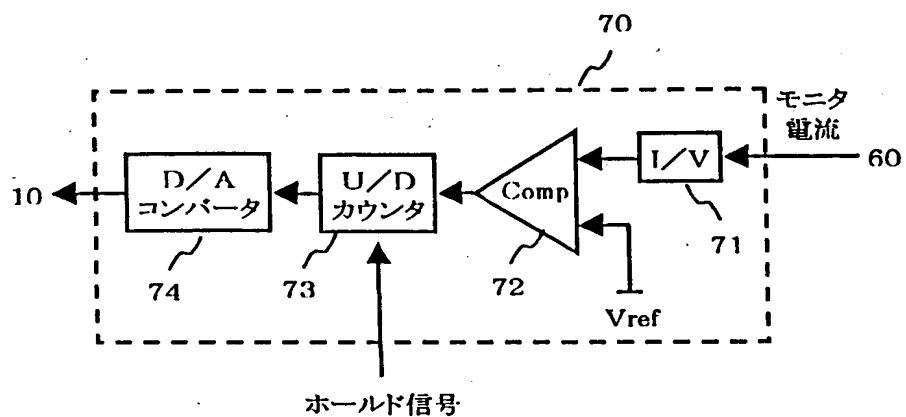
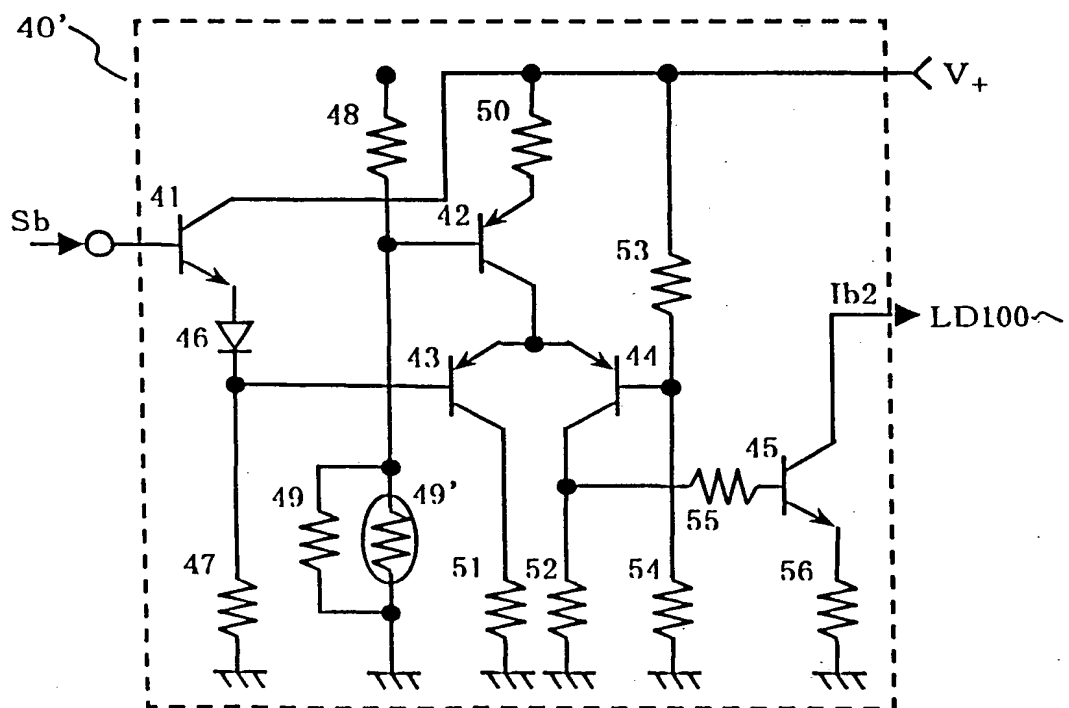


図 16



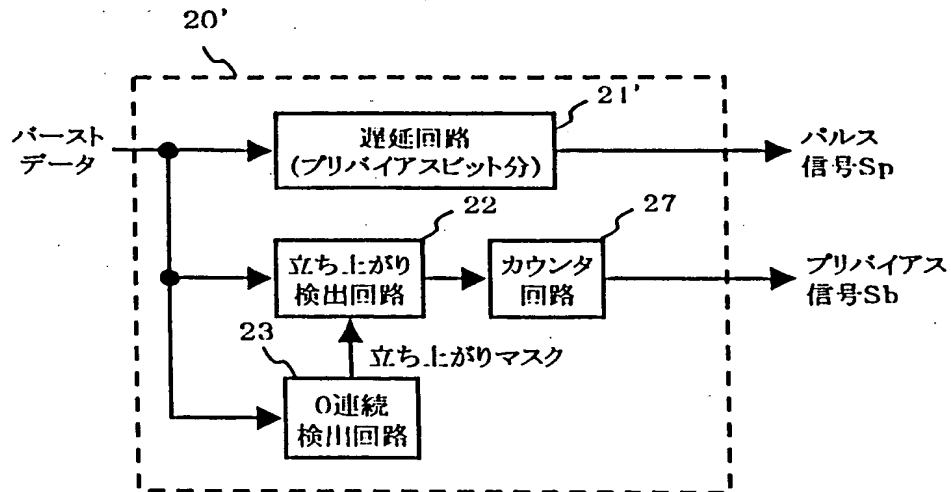
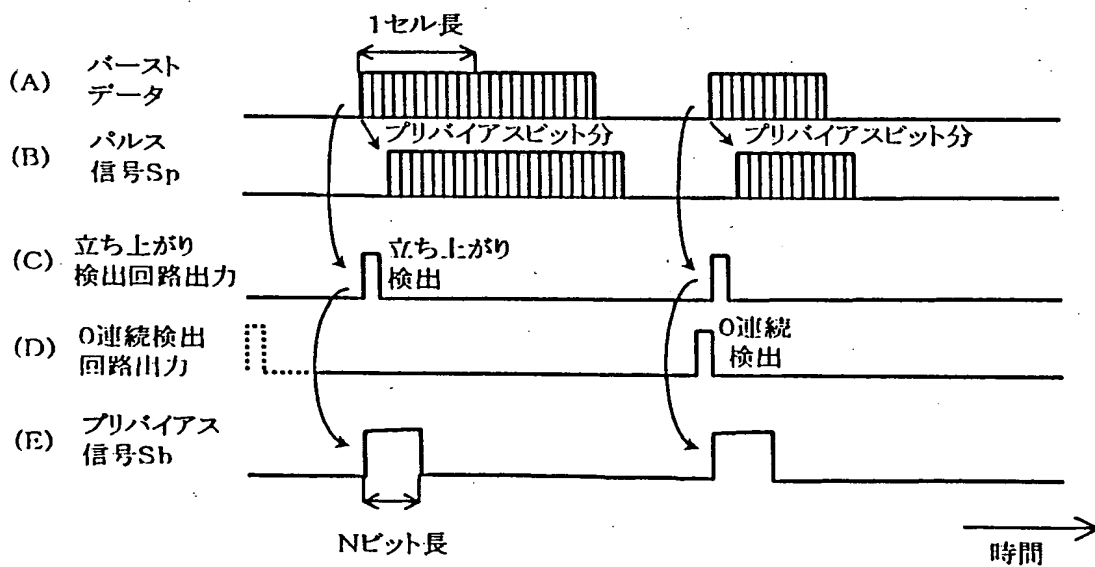


図 18



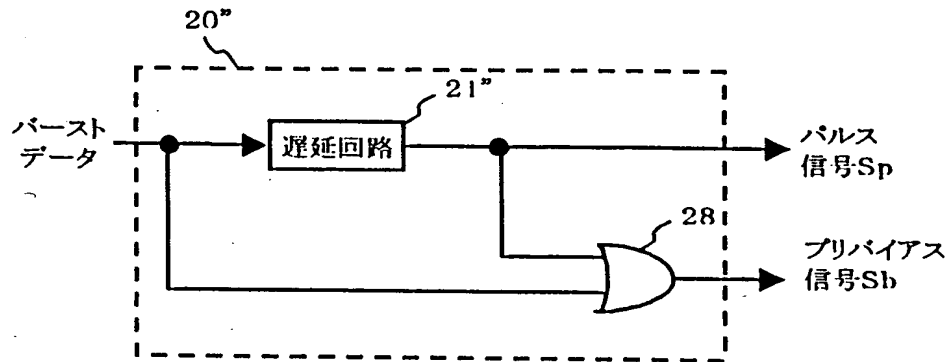


図 20

